



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1019990243555

(44) Publication Date. 19991117

(21) Application No.1019920027592

(22) Application Date. 19921231

(51) IPC Code:

H01L 21/60

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

CHOI, JONG GON

LIM, MIN BIN

(30) Priority:

(54) Title of Invention

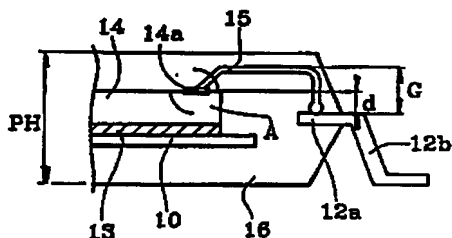
SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD THEREOF

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor package and a manufacturing method thereof are provided to enable a reduction in thickness of the package by using an improved wire bonding process for reducing a wire loop height.

CONSTITUTION: In the package, a semiconductor chip(14) is mounted on a die pad(10) of the lead frame by an adhesive(13). Pads(14a) of the chip(14) are respectively coupled to inner leads(12a) of the lead frame through bonding wires(15). The chip(14) and the inner leads(12a) are molded in a molding resin(16), but outer leads(12b) of the lead frame are downwardly bent out of the molding resin(16). In particular, the respective bonding wires(15) are ball-bonded to the inner leads(12a) and stitch-bonded to the pads(14a). Accordingly, the wire loop height(G) of the bonding wires(15) is reduced, and thus the thickness(PH) of the package is reduced. In addition, to prevent a short circuit caused by a wire sagging, an insulating layer is coated on edges of the chip(14) and around the pads(14a).



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶		(11) 등록번호	10-0243555
H01L 21 /60		(24) 등록일자	1999년 11월 17일
(21) 출원번호	10-1992-0027592	(65) 공개번호	특 1994-0016441
(22) 출원일자	1992년 12월 31일	(43) 공개일자	1994년 07월 23일
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416		
(72) 발명자	최종근 충청남도 천안시 다가동 367번지 14호 1동 2반 임민빈 충청남도 천안시 다가동 384번지 29호		
(74) 대리인	윤동열		
심사관 : 송원선			
(54) 반도체패키지 및 그 제조방법			

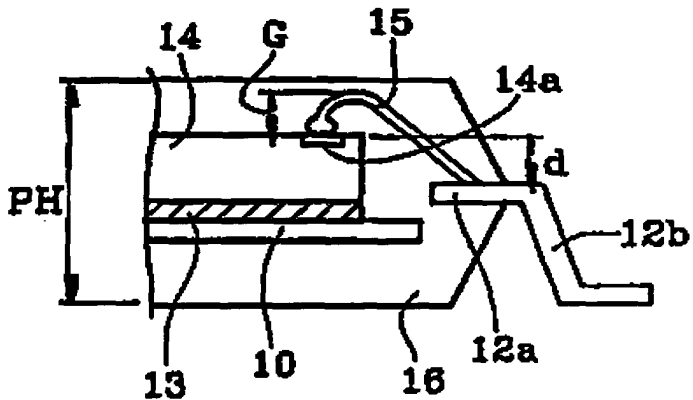
요약

이 발명은 와이어 본딩 방법의 개선으로 루프 높이를 낮춤으로써 얇은 패키지를 실현할 수 있는 반도체 패키지 및 그 제조방법에 관한 것이다.

종래의 표면 실장형 패키지의 경우, 패드에 1차 볼본딩을 실시한 후, 2차로 내부리드상에 스티치(Stitch) 본딩하여 패드와 내부리드간을 결선함으로써 낮은 루프높이의 실현에 한계가 있었다.

이 발명은 와이어 본딩 공정을 개선한 것으로, 내부리드상에 1차 볼본딩을 실시한 후, 패드에 2차로 스티치본딩을 실시하여 패키지 탑면에서 와이어 루프 절곡부위까지의 길이를 50 μ m 이상 낮춤으로써 종래의 본딩장비를 이용하여 TSOP, TQFP 등의 초박형패키지를 제조할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 패키지 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래 기술에 따른 반도체 패키지의 단면도,

제2도는 이 발명의 실시예에 따른 반도체 패키지의 단면도,

제3도는 제2도의 요부(A) 확대도,

제4도는 이 발명의 제조과정중 와이어 본딩 구조를 나타내는 사시도이고,

제5도는 종래 기술과 이 발명의 실시예의 패키지를 비교하기 위해 나타낸 비교 단면도이다.

[발명의 상세한 설명]

이 발명은 반도체 패키지에 관한 것으로, 특히 와이어 본딩 방법의 개선으로 루프 높이를 낮춤으로써 얇은 패키지를 실현할 수 있는 반도체 패키지 및 그 제조방법에 관한 것이다.

전자기기의 경박단소화 및 반도체 장치의 고집적화의 요구에 따라 반도체 미세 가공기술을 이용한 고집적 디바이스가 개발되고 있다. 반도체 장치의 집적도 증가는 칩 사이즈, 입출력 단자 등의 증가를 수반하게 된다. 그러므로 전자제품의 소형 경량화에 따른 실장 합리화를 위해서는 반도체 패키지의 개발이 중요한 과제가 되고 있다.

현재까지 패키지 기술은 소형화, 박형화 및 고기능화로 추진되고 있고 이러한 경향에 의해 종래의 삽입형 패키지에서 고밀도 실장을 위한 표면 실장형(Surface Mounting Type) 패키지로 전환하여 효율면에서 많은 진보를 보이고 있다.

상기 표면 실장형 패키지, 예를 들어 TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat Package)등은 기존의 와이어 본딩방법으로 제조되는 것으로 그 두께가 매우 얇으며 무게도 종래의 SOJ(Small Outline J-form Package)에 비하여 3분의 1로 가볍기 때문에 패키지 설계 및 재료의 선택등 제조과정상 많은 문제점이 따른다.

상기 표면 실장형 패키지의 일예를 제 1 도에 나타내었다. 제 1 도는 종래의 TSOP의 단면도이다. 종래의 TSOP는 리드 프레임의 다이패드(10)상에 접착제(13)를 매개하여 반도체 칩(14)이 접착되어 있고, 상기 반도체 칩(14)의 패드(14a)와 내부리드(12a)는 금(Au) 등의 미세 금속선인 본딩 와이어(15)로 결선되어 있다. 그리고 본딩 와이어(15) 접속 후에 내부리드(12a)를 포함하는 반도체 칩(14)이 중앙에 위치하도록 상기 내부리드(12a)까지 성형수지(16)로 몰딩되어 있다. 몰딩되지 않은 외부리드(12b)들은 하향절곡되어 있다.

상기 구조를 갖는 종래의 패키지는 현재 본딩 와이어(15)의 루프(loop) 높이를 낮게 조절하여 1mm 정도의 두께를 갖는 얇은 패키지를 실현하고 있다. 그러나 반도체 칩(14)의 두께, 루프 높이등의 제약, 반도체 칩(14) 등의 상하부를 완전히 에워싸는 성형수지(16), 즉 반도체 칩(14) 위의 수지두께, 리드 프레임 밑의 수지 두께에 의해 박형화에 한계가 있다.

특히, 상기 루프 높이는 얇은 패키지의 실현에 중요한 요소가 되는 것이다. 이 루프 높이 문제와 관련한 종래의 패키지 제조방법에 있어서 본딩공정을 중심으로 살펴본다.

반도체 칩(14)을 탑재하기 위한 다이패드(10)가 내부리드(12a)보다 낮게 위치한 리드 프레임을 준비하고, 다이접착(Die attach) 공정을 실시하여 상기 리드 프레임의 다이패드(10)상에 반도체 칩(14)을 접착제(13)를 매개하여 접착시킨다.

다이접착 공정 후, 반도체 칩(14)이 다이패드(10)상에 접착된 리드 프레임을 히터블록(Heater block)위에 올려놓고, 190~330℃ 정도 가열되면 캐필러리(도시하지 않음)내에 있는 금(Au) 와이어의 끝에 전기 스파크(EP0; Electrical flame off)로 볼(Ball)을 형성하여, 상기 볼을 캐필러리(Capillary)로 반도체 칩(14)의 패드(14a)에 일정한 압착력으로 압착시킨다. 이때 캐필러리에 초음파를 인가하여 볼에 진동을 주고, 볼을 압착할때 패드(14a)상에 문질러주어 압착이 잘되도록 한다.

상기 패드(14a)에 1차 볼본딩을 실시한 후, 계속해서 캐필러리를 수직 상승시킨 다음 내부리드(12a)로 옮겨 루핑 오퍼레이션을 실시하고, 2차로 내부리드(12a)상에 2차 스티치본딩을 행하므로 본딩공정후의 루프 높이 예를 들어 반도체 칩(14) 탑재에서부터의 높이(G)가 필연적으로 높게 되는 등 공정상에도 문제가 발생한다.

즉, 내부리드(12a)는 패키지의 중간에 위치하고 반도체 칩(14)은 그보다 위쪽에 위치하므로 와이어 본딩시 루프가 반도체 칩(14)에서 형성됨에 따라 패키지 탑(top)에서 와이어(15)까지의 거리가 짧아져 공정 컨트롤이 어려우며 몰딩시 세심한 주의가 필요하다. 얇은 패키지 두께(PH)를 실현하기 위해서는 특별한 와이어 재료와 본딩설비가 필요하게 되고, 종래의 와이어 본딩방식으로는 패키지 두께에 영향을 미치는 루프 높이를 150 μ m 이하로 유지하기가 어려우며 몰드 공정중 극히 적은 양의 패드 틸트(Tilt)가 발생되더라도 본딩 와이어가 패키지 밖으로 돌출하게 되는 현상이 발생함으로 루프 높이를 더욱 낮출 수 있는 방법이 필요하다. 또한, 멀티칩 패키지의 경우에 있어서, 한 패드와 다른 패드의 구조가 동일하여 와이어 처짐(Sagging) 발생시 반도체 칩과 본딩 와이어가 단락되는 현상이 발생한다.

이 발명의 목적은 와이어 본딩 공정의 개선으로 루프 높이를 낮춤으로써 박형화가 용이한 반도체 패키지 및 그 제조방법을 제공하는 데 있다.

상기와 같은 목적을 달성하기 위한 이 발명은, 리드 프레임의 다이패드상에 접착제를 매개하여 반도체 칩이 접착되고, 상기 반도체 칩의 다수개의 패드와 다수개의 내부리드간은 본딩 와이어로 결선되고, 상기 본딩 와이어 접속 후에 내부리드를 포함하는 상기 반도체 칩이 중앙에 위치하도록 상기 내부리드까지 성형수지로 몰딩되며, 몰딩되지 않은 외부리드들은 하향절곡되게 구성된 반도체 패키지에 있어서, 상기 본딩 와이어는 루프 높이를 낮게 하기 위하여 볼본딩이 내부리드에 형성되고, 스티치본딩이 상기 패드에 이루어지며, 상기 반도체 칩의 에지부분과 패드의 외곽에 와이어 처짐에 의한 단락방지를 위한 절연물질이 코팅된 것을 특징으로 하는 반도체 패키지를 제공한다.

상기한 목적을 달성하기 위한 이 발명에 따른 반도체 패키지의 제조방법은, 다수의 내부리드가 형성된 리드 프레임의 다이패드상에 다수개의 패드를 갖는 반도체 칩을 접착시키는 공정과, 캐필러리에 접착되어 있는 소정재질의 본딩 와이어의 끝단에 볼을 형성하는 공정과, 상기 내부리드 상에 1차 볼본딩을 실시한 후 캐필러리를 수직상승시켰다가 수평하강을 하여 상기 패드에 2차로 스티치본딩을 실시하는 것을 1사이클로 본딩 해당 수만큼 반복하는 와이어 본딩공정과, 상기 반도체 칩, 본딩 와이어 및 리드 프레임을 봉합시켜 패키지 용체를 형성하는 공정을 포함하는 반도체 패키지 제조방법에 있어

서, 상기 반도체 칩을 접착시키는 공정전에 와이어 처짐에 의한 단락 불량 방지를 위하여 상기 패드 주위에 절연물질을 코팅하는 공정을 더 포함하는 것을 특징으로 하는 반도체 패키지 제조방법을 제공한다.

이하, 첨부한 도면을 참조하여 이 발명에 따른 반도체 패키지 및 그 제조방법을 상세히 설명한다.

제 2 도는 이 발명의 실시예에 따른 반도체 패키지의 단면도이다. 설명의 편의상 종래와 동일부분에 대한 도면부호는 동일하게 부여하고 상세한 설명은 생략한다.

제 2 도에 나타난 바와 같이, 리드 프레임의 다이패드(10)상에 접착제(13)를 매개하여 반도체 칩(14)이 접착되어 있고, 상기 반도체 칩(14)의 패드(14a)와 내부리드(12a)는 본딩 와이어(15)로 결선되어 있다. 이때, 상기 본딩 와이어(15)는 볼 본딩이 내부리드(12a)상에 형성되고, 스티치본딩이 상기 패드(14a)에 이루어져 있다. 상기 패드(14a) 주위에는 절연물질(17) 예를 들어 폴리이미드(Polyimide)등이 코팅되어 있다. 그리고 본딩 와이어(15) 접속후에 내부리드(12a)를 포함하는 반도체 칩(14)이 중앙에 위치하도록 상기 내부리드(12a)까지 성형수지(16)로 몰딩되어 있다.

이러한 패키지 구조에서, 패키지 높이(PH)에 영향을 미치는 루프 높이 예를 들어 반도체 칩(14)의 탑에서부터 높이(G)가 반도체 칩(14)과 내부 리드(12a) 상면과의 사이 높이(d) 만큼 종래의 경우에 비해 낮아짐을 알 수 있다.

이 경우, 패드(14a)상의 스티치본딩에 의해 반도체 칩(14) 에지부에서 본딩 와이어(15)가 단락될 가능성에 대한 대비책으로, 제 3 도의 요부(A) 확대도에 나타난 바와 같이, 반도체 칩(14)의 패드(14a) 외곽에 절연물질(17)을 코팅을 하여 와이어 처짐에 의한 단락 불량을 방지하도록 하였다.

제 4 도는 이 발명의 와이어본딩 구조를 나타내는 사시도이다. 타이바(Tie bar)(11)로 지지되어 있는 다이패드(10)와, 다수개의 내부리드(12a)가 형성된 리드 프레임이 마련되고, 상기 다이패드(10)상에 반도체 칩(14)이 탑재되어 있다. 반도체 칩(14)의 패드(14a)와 내부리드(12a)간에는 본딩 와이어(15)로 결선되어 있다. 상기 본딩 와이어(15)는 내부리드(12a)에 볼본딩이 되고, 패드(12a)에 스티치본딩이 이루어져 있다. 패드(14a)상에 스티치본딩이 이루어져 있기 때문에 본딩 와이어(15)와 패드(14a) 에지부에서 단락의 가능성이 있다. 이를 방지하기 위하여 반도체칩(14) 에지부분과 패드(14a) 외곽에 절연물질(17)로 코팅되어 있다.

또한, 멀티칩 본딩시, 즉 한 반도체 칩 패드와 다른 반도체 칩 패드 간을 본딩 와이어로 연결할 경우에도 상기 각 반도체 칩 패드 외곽에 절연물질을 코팅함으로써 와이어 처짐에 의한 단락 불량을 방지할 수 있다. 알루미늄(Al) 또는 그 합금으로 형성된 패드(14a)에는 스티치본딩에 의한 데미지를 줄일 수 있도록 배리어 메탈을 형성시킬 수도 있다.

이와 같은 구성을 갖는 이 발명에 따른 반도체 패키지의 제조방법을 설명한다.

먼저, 다이접착 공정전에 와이어 처짐에 의한 단락 불량을 방지할 수 있도록 반도체 칩의 패드(14a) 주위에 폴리이미드 등의 절연물질(17)로 코팅한다.

절연물질(17) 코팅이 완료된 반도체 칩(14)을 통상의 제조방법으로 다이 접착공정을 실시한다.

상기 절연물질(17)이 코팅된 반도체 칩(14)이 다이패드(10)에 접착된 리드 프레임을 히터블록(Heater block)위에 올려놓고, 190~300℃ 정도 가열되면 캐필러리(도시하지 않음)내에 있는 금(Au) 와이어의 끝에 전기 스파크로 볼(Ball)을 형성하여, 상기 볼을 캐필러리가 내부리드(12a)에 일정한 압착력으로 압착시켜 1차 볼본딩을 실시한다. 이때, 캐필러리 위에 있는 와이어 클램프는 개방되어 있는 상태가 된다. 와이어 재료로서 금(Au) 대신 금(Au) 합금계, 구리(Cu) 또는 구리(Cu) 합금계 등을 이용할 수 있다.

상기 내부리드(12a)상에 1차 볼본딩을 실시한 후, 계속해서 캐필러리를 수직상승시켰다가 수평하강을 하여 패드(14a)로 루핑 오퍼레이션을 실시하고, 캐필러리를 패드(14a)에 2차로 스티치본딩을 실시한다. 2차 스티치본딩을 실시할 때에는 와이어 클램프가 닫혀있어 와이어를 단락(?)시켜야 하며 이렇게 함으로써 본딩 1사이클이 이루어진다.

상기와 같은 방법으로 와이어본딩이 완료된 제품은 몰드공정을 거쳐 박형 패키지를 완성한다.

제 5 도에서는 종래의 TSOP의 단면도와 이 발명의 실시예에 따른 TSOP의 단면도를 동시에 나타낸 도면이다. 부호 P1은 이 발명에 따른 패키지이고, 도면부호 P2는 종래의 패키지이다. 또한, I는 패키지 탑에서 본딩 와이어까지의 길이이고, G는 칩에서 본딩 와이어까지의 길이이다. 이 도면에서 종래기술에 비해 이 발명 기술에 의한 패키지의 루프 높이가 매우 낮아짐을 쉽게 알 수 있다.

실질적으로 루프 높이는 종래의 경우 보다 높아야 안정된 본딩을 실현할 수 있으나, 내부리드(12a)와 반도체 칩(14)의 높이를 고려할 경우 패키지 탑면에서 와이어 루프 절곡부위까지의 길이(I)를 50 μ m이상 낮춤으로써 초박형 패키지를 실현할 수 있다.

이상과 같이 이 발명에 의하면, 칩패드에는 스티치본딩을 실시하고, 내부리드에는 볼본딩을 실시함으로써 종래의 본딩장비를 이용하여 TSOP, TQFP 등의 박형패키지를 제조할 수 있다.

(57) 청구의 범위

청구항 1. 리드 프레임의 다이패드상에 접착제를 매개하여 반도체 칩이 접착되고, 상기 반도체 칩의 다수개의 패드와 다수개의 내부리드간은 본딩 와이어로 결선되고, 상기 본딩 와이어 접속 후에 내부리드를 포함하는 상기 반도체 칩이 중앙에 위치하도록 상기 내부리드까지 성형수지로 몰딩되며, 몰딩되지 않은 외부리드들은 하향절곡되게 구성된 반도체 패키지에 있어서, 상기 본딩 와이어는 루프 높이를 낮게 하기 위하여 볼본딩이 내부리드에 형성되고, 스티치본딩이 상기 패드에 이루어지며, 상기 반도체 칩의 에지부분과 패드의 외곽에 와이어 처짐에 의한 단락 방지를 위하여 절연물질이 코팅된 것을 특징으로 하는 반도체 패키지.

청구항 2. 제1항에 있어서, 상기 절연물질은 폴리이미드(Polyimide)인 것을 특징으로 하는 반도체 패키지.

청구항 3. 제1항에 있어서, 상기 본딩 와이어의 재료는 금(Au), 구리(Cu) 또는 각각의 합금들 중 어느 하나인 것을 특징으로 하는 반도체 패키지.

청구항 4. 다수의 내부리드가 형성된 리드 프레임의 다이패드상에 다수개의 패드를 갖는 반도체 칩을 접착시키는 공정과, 캐필러리에 장착되어 있는 소정재질의 본딩 와이어의 끝단에 볼을 형성하는 공정과, 상기 내부리드상에 1차 볼본딩을 실시한 후 캐필러리를 수직상승시켰다가 수평하강을 하여 상기 패드에 2차로 스티치본딩을 실시하는 것을 1사이클로본딩 해당 수만큼 반복하는 와이어 본딩공정과, 상기 반도체 칩, 본딩 와이어 및 리드 프레임을 봉합시켜 패키지 몸체를 형성하는 공정을 포함하는 반도체 패키지 제조방법에 있어서, 상기 반도체 칩을 접착시키는 공정전에 와이어 처짐에 의한 단락 방지를 위하여 상기 패드 주위에 절연물질을 코팅하는 공정을 더 포함하는 것을 특징으로 하는 반도체 패키지 제조방법.

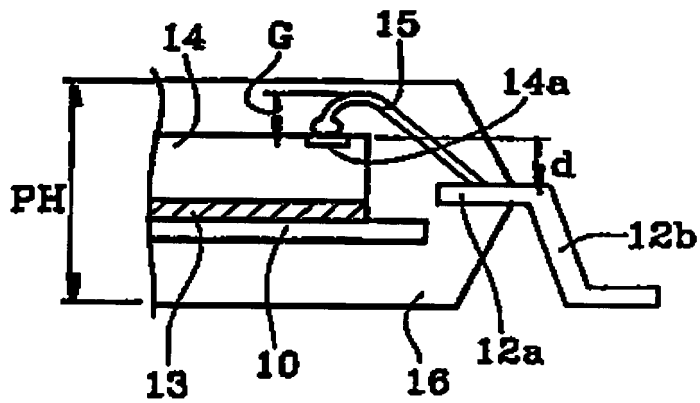
청구항 5. 제4항에 있어서, 상기 절연물질은 폴리이미드(Polyimide)로 형성되는 것을 특징으로 하는 반도체 패키지 제조방법.

청구항 6. 제4항에 있어서, 스티치본딩 데미지를 줄이기 위하여 상기 반도체 칩을 접착시키는 공정전에 상기 패드에 배리어 메탈을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 패키지 제조방법.

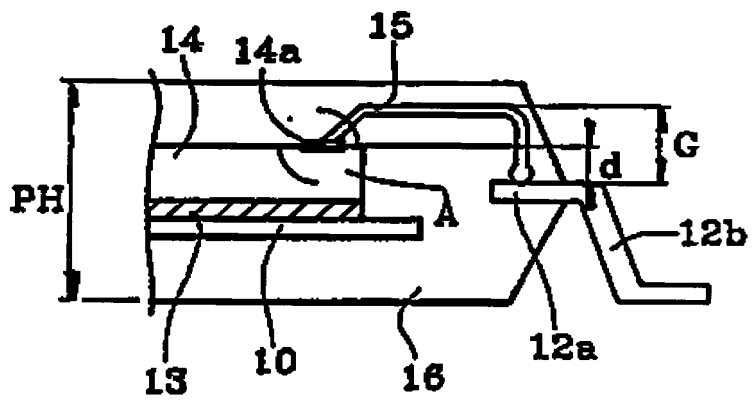
청구항 7. 제4항에 있어서, 상기 와이어 본딩 공정시 본딩 와이어는 금(Au), 구리(Cu) 또는 각각의 합금들 중 어느 하나로 형성되는 것을 특징으로 하는 반도체 패키지 제조방법.

도면

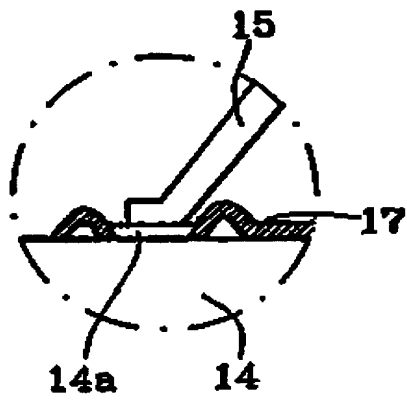
도면1



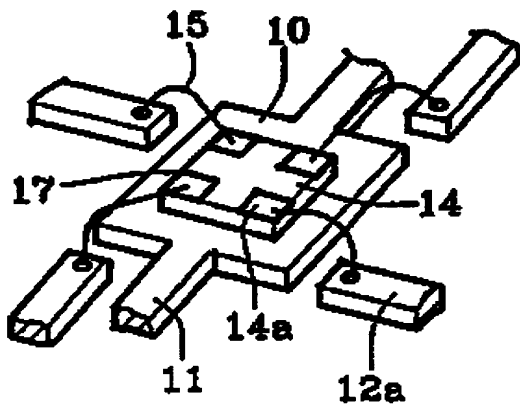
도면2



도면3



도면4



도면5

